

PAT-NO: JP355128851A
DOCUMENT-IDENTIFIER: JP 55128851 A
TITLE: SEMICONDUCTOR MEMORY DEVICE
PUBN-DATE: October 6, 1980

INVENTOR-INFORMATION:

NAME
SHIRASU, TATSUMI
OSA, YASUNOBU
KATO, TOKIO

ASSIGNEE-INFORMATION:

NAME	COUNTRY
HITACHI LTD	N/A

APPL-NO: JP54035480

APPL-DATE: March 28, 1979

INT-CL (IPC): H01L023/30, H01L027/06

US-CL-CURRENT: 257/659

ABSTRACT:

PURPOSE: To eliminate an erroneous operation of a memory circuit owing to alpha rays even when using a ceramic package as a sealing body by protecting a semiconductor substrate provided with the memory circuit thereon using polyimide resin.

CONSTITUTION: An n-type region 20 becoming part of a memory circuit is diffused on the surface of a p-type silicon substrate 1, and a SiO₂ film 21 is coated on the entire surface thereof. An

opening is then
perforated at the film 21' on the region 20, a wire
conductor layer 21" is
coated through the opening thereon, a polyimide-
isoindolo-quinazolinedione
resion film 23 is coated on the entire surface by a spin-on
process and heat
treated to semi-harden it. Thereafter, it is photoetched
using a hydrazine
solution, a bonding pad portion 22 is perforated at the
film 23, heat treated,
and completely hardened. A bonding wire 24 is then mounted
at the portion 22,
and this element is sealed in a ceramic package. Thus,
alpha particles flown
from package material are absorbed to the film 23 to
prevent the erroneous
operation of the circuit.

COPYRIGHT: (C)1980,JPO&Japio

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭55-128851

⑬ Int. Cl.³

H 01 L 23/30

27/06

識別記号

庁内整理番号

7738-5F

⑭ 公開 昭和55年(1980)10月6日

発明の数 1

審査請求 未請求

(全 10 頁)

⑮ 半導体記憶装置

⑯ 特 願 昭54-35480

⑰ 出 願 昭54(1979)3月28日

⑱ 発 明 者 白須辰美
小平市上水本町1450番地株式会
社日立製作所武蔵工場内

⑲ 発 明 者 小佐保信
小平市上水本町1450番地株式会

社日立製作所武蔵工場内

⑳ 発 明 者 加藤登季男
小平市上水本町1450番地株式会
社日立製作所武蔵工場内

㉑ 出 願 人 株式会社日立製作所
東京都千代田区丸の内1丁目5
番1号

㉒ 代 理 人 弁理士 薄田利幸

明 細 書

発明の名称 半導体記憶装置

特許請求の範囲

1. メモリー回路の一部を構成する領域が半導体基体内に形成され、かつその基体が封止体によつて封止されて成る半導体記憶装置において、前記領域上に樹脂が被覆されていることを特徴とする半導体記憶装置。
2. 前記樹脂としてポリイミド樹脂を用いた特許請求の範囲第1項記載の半導体記憶装置。
3. 前記樹脂としてポリイミド・イソインドロ・キナゾリンジオン樹脂を用いた特許請求の範囲第1項記載の半導体記憶装置。
4. 前記封止体としてセラミックパッケージを用いたことを特徴とする特許請求の範囲第1項記載の半導体記憶装置。

発明の詳細な説明

本発明は信頼性の極めてすぐれた半導体記憶装置に関するものである。

一般に、トランジスタ等が形成された半導体基

体は通常セラミックパッケージ(セラミックパッケージをガラスで封止する方法を含む)、金属キャップを用いたセラミックパッケージ、若しくはプラスチックパッケージ等の封止体により封止される。これらのパッケージのうちとくにセラミックパッケージにおけるセラミック材料には数ppm程度のウランニウムやトリウム等が含まれている。

一方、プラスチックパッケージ材料にはフィラーと呼ばれるアルミナ等微粒子が使用されており、このフィラー内にも上記不純物が含有されている。

これらの不純物は、例えば16th proceedings of reliability physics (1978), p33に述べられているように、α線を放出し、半導体ペレット内に構成したダイナミックメモリー回路の誤動作(ソフトエラーと呼ぶ)の要因となることが知られている。

ところで、このα線によるソフトエラーは以下に述べる種々のメモリー回路においても生じることがわかつた。

(2)

(1)

まず、第1図で示されたようなスタティック型のMOSメモリーセル回路の場合である。このセル回路は、第2図の平面図で示すように半導体基体1内に形成された拡散領域(点線)およびその半導体基体1表面上に形成された配線層により構成される。なお、第2図は、半導体基体1内に形成された拡散領域(点線)と、その表面上に形成された多結晶シリコン層から成る電源線V_Lおよびワード線W_Lの配線層のみを示している。図面を複雑にするため省略された第1図におけるビット線 \bar{b} および接地線Gは、アルミニウム層から成り、上配電源線V_Lおよびワード線W_Lを横切るように絶縁層を介して半導体基体1表面上に形成される。

そこで、第1図に示すような1つのセル回路を構成する第2図の半導体記憶装置において、MOSトランジスタQ₁がオフし、一方MOSトランジスタQ₂がオンし、'1'の情報を保持しているとする。このような状態においてパッケージから放出した α 線がトランジスタQ₂のドレイン拡散

(3)

ランジスタQ₂がオフの状態、パッケージから放出した α 線がトランジスタQ₂のドレイン拡散領域D₂(第1図の接続点B)にあつたとき、前記と同様な理由により、今度はドレイン拡散領域D₂に接続されたMOSトランジスタQ₁のゲート(第1図の接続点B)の電位が低下し、MOSトランジスタQ₁のゲート(第1図の接続点A)の電位より低くなつてしまふ。

この結果、MOSトランジスタQ₁がオフし、MOSトランジスタQ₂がオンし、'0'の情報から'1'の情報に反転してしまふ。

次に、ダイナミック型の16ビットNMOSメモリー回路の場合である。

第3図はその回路の一部を示す。図において、ダミーセルDMC₁は、メモリーセルMC₁、MC₂の電圧レベルをセンスアンプAMP₁で比較するために用いられ、一方ダミーセルDMC₂はメモリーセルMC₂の電圧レベルをセンスアンプAMP₂で比較するために用いられる。同様に、ダミーセルDMC₃はメモリーセルMC₃、MC₄の電圧レ

(5)

領域D₁(第1図の接続点A)にあつた場合、このドレイン拡散領域D₁直下の半導体基体内にホールと電子とのペアが発生する。一方、この半導体記憶装置において、電源線V_Lには正の電源電圧V_{DD}が与えられ、しかもMOSトランジスタQ₁がオフのため、ドレイン拡散領域D₁には、ほぼ電源電圧V_{DD}の電位レベルが与えられる。したがって、負の電子がこのドレイン拡散領域D₁内に誘起される。このためこのドレイン拡散領域D₁に接続されたMOSトランジスタQ₂のゲート(第1図の接続点A)の電位が低下し、MOSトランジスタQ₂のゲート(第1図の接続点B)の電位より低くなつてしまふ。

この結果、MOSトランジスタQ₁がオンし、MOSトランジスタQ₂がオフし、'1'の情報から'0'の情報に反転してしまふ。

同様に、この半導体記憶装置において'0'の情報を保持していた場合にも α 線があたることによつて'1'の情報に反転してしまふ。すなわち、MOSトランジスタQ₁がオンで、一方MOSト

(4)

ランジスタQ₂がオフの状態、パッケージから放出した α 線がトランジスタQ₂のドレイン拡散領域D₂(第1図の接続点B)にあつたとき、前記と同様な理由により、今度はドレイン拡散領域D₂に接続されたMOSトランジスタQ₁のゲート(第1図の接続点B)の電位が低下し、MOSトランジスタQ₁のゲート(第1図の接続点A)の電位より低くなつてしまふ。

このようなメモリー回路を構成する半導体記憶装置において、メモリーセルあるいはダミーセル部分にパッケージから放出した α 線があつて誤動作が生じることとはもちろんのこと、第3図に示すセンスアンプAMP₁、AMP₂のどこにおいても発生する。特にこのセンスアンプAMP₁、AMP₂のところで生じるソフトエラーは、メモリーセルおよびダミーセル部分で生じるソフトエラーにくらべて極めて高いことが観測された。この理由としては、1つのセンスアンプの面積は1つのセルに比べてかなり大きく、しかもデータ線DL₁、DL₂が拡散層で、 α 線の当たる確率が高いためと考えられる。

次に、このメモリー回路のセンスアンプのところにパッケージから放出された α 線があつた場合

(6)

に生じるソフトウェアを第4図の電圧変動特性図を用いて説明する。

第8図におけるメモリーセルM0、内の情報'0'を読み出すとする。

まず、クロックパルスφ、の信号によつてM08トランジスタQ₁、Q₂をオンさせる。これによつてデータ線DL₁、DL₂は、V_{DD}レベルすなわち'1'レベルにプリチャージされる。第4図におけるt₁がプリチャージ開始時である。プリチャージ完了後、情報の読み出しを行ひ、読み出し開始時(t₂)には、ダミーセルのワード線WD、とメモリーセルのワード線W₁が選択され、ダミーセルDM0、のM08トランジスタQ₃、およびメモリーセルM0、のM08トランジスタQ₄、がオンする。この時、データ線DL₁、DL₂の電圧レベルは第4図に示されるように下降する。ダミーセルDM0、のキャパシタC₁、の容量値はセルM0、のキャパシタC₂、の容量値よりおよそ1/2の値を示している。したがつて、t₂直後では、データ線DL₁の電圧レベルは実線で示さ

(7)

およびDL₂のようになる。そして、増幅完了時t₃には、データ線DL₁およびDL₂の電圧レベルが完全に反転してしまう。

したがつて、本来ならば、データ線DL₁の電位はほぼV_{DD}レベルで、M08トランジスタQ₁をオンとし、データ線DL₂の電位は接地レベルでM08トランジスタQ₂をオフとするものであるが、α線の影響によつてデータ線DL₁の電位は接地レベル、データ線DL₂の電位はV_{DD}レベルとなるためM08トランジスタQ₁がオフとなり、M08トランジスタQ₂がオンとなる。

この結果、メモリーセルM0、内の情報があたかも'1'であつたように読み出されてしまう。

このような問題は、メモリーセルM0、内の情報'1'を読み出す場合においても生じた。この場合においてはα線がデータ線DL₁にあつたと情報反転が生じた。

上述したセンスアンプは、第5図に示されるように半導体基体1内および基体上に構成される。図において、多結晶シリコンから成るゲート電極

(9)

れたように下降する。一方、データ線DL₂の電圧レベルは一点鎖線で示されたように下降する。データ線DL₁およびDL₂の電圧レベル差を増幅するためM08トランジスタQ₃がクロックパルスφ、の信号によつてオンとなる時、すなわち増幅開始時t₁を経過するまでにパッケージから放出したα線がデータ線DL₁にあたらなければ、増幅開始時t₁後のデータ線DL₁およびDL₂の電圧レベルは第4図の点線DL₁、DL₂に示すような状態になる。そして、時間t₂のところで増幅が完了する。

ところが、第4図に示すt₂の時点でα線がデータ線DL₁にあつたと、前述したスタティック型のM08メモリーセル回路を構成する半導体記憶装置の場合と同様な理由により、データ線DL₁の電圧レベルが低下する。そして、t₃の時点ではデータ線DL₁およびDL₂の電圧レベルが逆転する。

このため、増幅開始(t₁)後のデータ線DL₁およびDL₂の電圧レベルは、第4図におけるDL₁

(8)

Q₁、ソース拡散領域B₁、およびドレイン拡散領域D₁によつてM08トランジスタQ₁を構成している。そして、多結晶シリコンから成るゲート電極G₁、ソース拡散領域B₂、およびドレイン拡散領域D₂によつてM08トランジスタQ₂を構成している。ゲート電極G₁は接続点J₁のところでドレイン拡散領域D₂に接続されている。一方、ゲート電極G₂は接続点J₂のところでドレイン拡散領域D₁に接続されている。そして、M08トランジスタQ₃のドレイン拡散領域(図示せず)に接続されている、2層目のアルミニウム配線層2は、接続点J₃およびJ₄のところでソース拡散領域B₁およびB₂に接続されている。なお、ドレイン拡散領域D₁およびD₂はそれぞれデータ線DL₁およびDL₂として用いるために横方向に延びている。

さらに、バイポーラメモリーセル回路の場合である。

バイポーラメモリーセル回路は、第6図に示すように、抵抗R₁、R₂、ダイオードD₁、D₂

(10)

マルチエミッタトランジスタ Q_{11}, Q_{12} とから成る。ダイオード D_1, D_2 、抵抗 R_1, R_2 の共通接続線はワード線 W^+ に接続され、トランジスタ Q_{11}, Q_{12} のそれぞれの一方のエミッタはそれぞれビット線 B_0, B_1 に接続され、他方のエミッタは情報保持用定電流源 I_{01} に接続されている。

上記のバイポーラメモリーセル回路は公知であり、情報の保持は双安定回路、つまり、フリップフロップ回路の安定状態により行なわれる。すなわち、トランジスタ Q_{11}, Q_{12} のベース間電位差が生ずれば、コレクターベース交差結合による正帰還がかかり、トランジスタ Q_{11}, Q_{12} のうち、ベース電位が高い方のトランジスタがオンし、他方のトランジスタはオフして一つの安定状態となる。

この情報保持能力は、直流的には、安定状態でのトランジスタ Q_{11}, Q_{12} のベース間電位差できまる。また交流的にはフリップフロップ回路の反転のし易さという点からはトランジスタの電流

03

増幅率、高周波利得帯域幅、ベース抵抗、寄生容量等の高周波特性やトランジスタのコレクタに負荷として接続されている抵抗(R_1, R_2)やダイオード(D_1, D_2)の高周波特性によりきまる。

情報保持能力を高めるためにはこれらによる高周波特性を悪くすればよい。しかし、バイポーラメモリーが高速化されるためには、これらの特性を良くする必要があり、超高速バイポーラメモリーにおいては、高速化に伴ない必然的に情報保持能力が低下する。

このようなバイポーラメモリーにおいて、情報反転は以下の様に説明される。

バイポーラメモリー回路を構成する半導体基体において、その基体を封止するパッケージから放出した α 線が基体内に入射するとその入射路中に α 線のエネルギー損失によりホールとエレクトロンとのペアを生成する。このホール・エレクトロンペアは、トランジスタのコレクタ・ベース領域間空乏層およびコレクタ領域・基体間空乏層を

04

通して収集され、ノイズ電流を発生する。第6図において、トランジスタ Q_{11} がオンし、トランジスタ Q_{12} がオフとなっている時、正常動作では第7図実線で示す様に、トランジスタ Q_{11} のコレクタ電位 V_{01} はトランジスタ Q_{12} のコレクタ電位 V_{02} よりも高い電位関係にある。ところが、 α 線が基体内に入射することにより生成されたホール・エレクトロンペアのうちコレクタ・ベース領域間空乏層により収集されたものは、ノイズ電流 I_0 を発生する。このノイズ電流 I_0 はトランジスタ Q_{12} のコレクタ・ベース領域間寄生容量 C_{r02} を通して流れ、トランジスタ Q_{12} のコレクタ電位 V_{02} をひきさげる。このため、第7図の点線および一点鎖線で示すようにフリップフロップメモリーセルは反転動作し始め、一方の安定状態へ移行する。そして、完全に情報反転が起る。

このように、電荷を用いて情報を保持するようなメモリー回路は α 線によつて誤動作してしまう。したがつて、本発明は、前述した α 線によるメモリー回路の誤動作発生を解消することを目的とするもので

03

ある。

上記目的を達成するため、本発明の基本的技術思想はパッケージから放出した α 線が半導体基体内に侵入するのを阻止しようとするものであり、特設とするところは半導体基体内に形成されたメモリー回路の一部を構成する領域上に樹脂を被覆したことにある。。

本発明の半導体記憶装置はパッケージ材に含有する不純物から飛来する α 粒子をポリイミド系樹脂例えばポリイミド樹脂もしくはポリイミド・イソインドロ・キナゾリンジオン樹脂(以下PII樹脂と記す)により被覆、吸収させるものである。したがつて、被覆材、吸収材となる樹脂被覆膜は、 α 粒子を透過させない程度に厚い膜であることが要求される。素子特性の変動をきたさない程度とするためには、この厚さは少なくとも $10\mu\text{m}$ 以上であることが好ましく $30\mu\text{m}$ 以上であればさらに好ましい。 α 線の透過を防止する能力は、前記樹脂被覆膜に限らず、絶縁膜が一般に有する能力である。しかしながら、従来から半導体装置に

04

用いられている二酸化シリコン、リンガラス、窒化シリコン、酸化アルミニウム等の絶縁膜を、半導体基板上に $10\mu\text{m}$ 以上堆積させることは極めて困難である。すなわち、気相成長法によるこれらの絶縁膜では膜の応力が極めて大きく、数 μm 以上堆積させると、クラックを生ずる。またスパッタリング法では、クラックの発生率を比較的小さいまま堆積させることが可能であるが、堆積速度が数百 $\text{\AA}/\text{分}$ と極めて小さく、 $10\mu\text{m}$ 以上堆積させることは現実的に不可能である。これに対して、ポリイミド樹脂やPII樹脂では、膜の応力が約 $4\text{kgf}/\text{cm}^2$ と極めて小さく、また破断強も約30 kgf/cm^2 と前記無機絶縁膜に比して約1桁大きい。また、数 μm の厚膜をクラックを全く発生させずに形成することができる。一方、高分子樹脂の中には、上記のポリイミド樹脂やPII樹脂膜と同様の膜形成特性を具備するものがある。一般にセラミックパッケージの封止工程は 450°C 前後の高温中で行われるため、この温度に耐え得る耐熱性が要求される。この特性を満足するものは

04

上記樹脂があげられる。

すなわち第8図にその例を示すように、各種高分子樹脂について熱重量減少分析を行うと、シリコン樹脂13、エポキシ樹脂14等では $200\sim 250^\circ\text{C}$ から重量減少が始まるが、ポリイミド樹脂12では 500°C から減少が開始する。PII樹脂11ではさらに耐熱性が優れ、 600°C における重量残存率も約70%で最も優れている。このようにポリイミド樹脂若しくはPII樹脂は、前述の高温工程に対する耐熱性を有している。

また、PII樹脂あるいはポリイミド樹脂においては、 α 線の発生源となるウラニウム、トリウム等の不純物含有量が0.1~数ppm程度と極めて少ない(これらの不純物分析は放射化学分析法によつた)。したがって、PII樹脂もしくはポリイミド樹脂はセラミックパッケージ材料から放射される α 線を阻止すると同時に、該樹脂自身非常に高純度のものがえられやすく従つて又発生させる α 線も極めて微量になる。一方、一般に有機高分子材料は無機材料に比べて前記不純物含有量は

04

少ないと言える。しかし、有機高分子材料の一例として、ポリエチレン樹脂の場合ではウラニウム含有量は40~50ppmと比較的多く、有機高分子材料が必ずしも通じているとは限らない。PII樹脂、ポリイミド樹脂は、いずれもウラニウム、トリウム等の不純物含有量の点からもすぐれた材料と言える。しかし、前述のように、耐熱性の点からは、PII樹脂の方がさらに好ましい。

また、ここでポリイミド樹脂とは芳香族ジアミンと芳香族テトラカルボン酸二無水物を反応して得られる重合物を言い、PII樹脂とは芳香族ジアミンと芳香族テトラカルボン酸と芳香族ジアミノカルボンアミドとを反応して得られる重合物を言い、いずれも周知のものであり、PII樹脂については例えば特公昭48-2956号特許公報にその製造方法を含めて詳しく記載されている。

α 線の影響を受けるのは半導体基体内に形成されたメモリ回路の一部を構成する領域であるから、 α 線の侵入を阻止するために設ける樹脂の被覆膜は少なくともその領域上に存在しなければな

04

らない。

なお、上記半導体基板は絶縁層、電極、配線層等がある場合は、これらをも含むものとする。本発明の半導体装置は主としてモノリシック集積回路により構成されるものである。

セラミック封止は半導体技術分野で周知の技術であり、従来用いられているセラミック封止は、すべて用いることができる。これらのセラミックパッケージとしては、例えばローファイアードタイプ、サーディップと呼ばれるものである。これらのセラミックは通常アルミナ質セラミックを主成分としており、さらにサーディップ型に対するセラミック間の接着には鉛ガラスを主成分とするガラスが用いられる。

ポリイミド樹脂やPII樹脂には若干(数ppm程度)の Na 等のアルカリ不純物を含有する場合がある。この場合には、半導体基体上にポリイミド樹脂等の樹脂膜を形成し高圧の熱処理を加えると、半導体基体を形成している半導体薄板の表面に設けた絶縁膜にピンホール等が存在するため、

04

この部分から上記アルカリ不純物が侵入し、素子特性を変動させることがある。これを防止するには、アルカリイオンの阻止能力の高いリンガラス膜もしくは窒化シリコン膜を半導体基体上に形成し、ポリイミド樹脂との間にこれを介在させることが有効である。

上記本発明の半導体記憶装置は、(1)半導体基体上にポリイミド樹脂もしくはPII樹脂を10 μ m以上被覆する工程、(2)該樹脂で被覆された半導体基体をセラミック材のような封止体により封止する工程、を含む製造方法により容易に製造することができる。

以下、本発明の効果を実施例にしたがつてさらに詳しく説明する。

実施例1

第9図に従って説明する。前述したようなメモリー回路を構成するP型シリコン半導体基体21上に膜厚が4~37 μ mのPII樹脂膜23を形成した。

PII樹脂はスピノン法によりウエーハ上に

(19)

体基体上に形成される。

第11図に示すように、P型シリコン半導体基体61をパッケージの所定の位置にダイボンディングし、さらに外部接続を行うためのワイヤボンディングによりボンディングワイヤ62を接着したのちに、PII樹脂63をポッティングし、200℃1時間、350℃1時間、450℃10分の熱処理を行った。PII樹脂膜厚は約40~70 μ mである。スクライプ領域64上には絶縁膜61'を延在させておくことが望ましい。

実施例3

前述のようにポリイミド樹脂には若干数ppm程度)のNa等のアルカリ不純物を含有する場合がある。このときには、半導体基板上にポリイミド樹脂膜を形成し高湿の熱処理を加えると、とくに第7図に示すように絶縁膜71'にピンホールが存在したり絶縁膜71'の開口部と金属配線71'のマスク合せずれによつて生ずる部分76等が生じたりすると、これらの部分から不純物イオンが侵入し素子特性を変動させることがある。したが

(21)

塗布し、200℃1時間の熱処理を加えて半硬化させ、ヒドラジン水溶液によるホトエッチングでボンディングパッド部22を開口した。その後、350℃1時間、450℃10分の熱処理を加えて完全硬化させた。熱処理は窒素若しくは不活性ガス中で行うのが好ましい。PII樹脂としてはPIQ(日立化成株式会社の登録商標)を用いた。以下の各実施例においてもPIQをPII樹脂として用いている。さらにこの基体を第10図に示すようにセラミックパッケージ(サーディップ)に封止した。

なお、第9図において、20はメモリー回路の一部を構成するN型拡散領域、21'は絶縁膜、例えばSiO₂膜、21'は配線導体層、24は外部接続リードと接続するボンディングワイヤである。また第10図において25は外部接続リードを示し、26はセラミック27を機密接着する熔融ガラスである。

実施例2

PII樹脂は次のような他の方法によつて半導

(20)

つて、アルカリイオンの阻止能力の高いリンガラス若しくは窒化シリコン膜を半導体基体上に形成し、ポリイミド樹脂との間に介在させることが有効である。すなわち、第12図に示す如く、シリコン半導体基体71上に気相成長法によりリンガラス73を形成し、さらにその上にポリイミド膜74を形成する。リンガラスは3mol%~12mol%のリン濃度で、膜厚は0.3 μ m~1.5 μ m程度が好ましい。すなわち、リンガラス膜のアルカリイオンの阻止能力はリン濃度に依存し、3mol%以上から効果が現われる。一方リン濃度が高くなると吸湿性が大きくなるため、12mol%以上になると、Al配線腐食等の不良を生じはじめる。リンガラスの膜厚は、半導体基板をほぼ完全に被覆するために、少なくとも0.3 μ m以上は必要であり、またリンガラス自体の引張応力によるクラックを生じない範囲として1.5 μ m以下が望ましい。ポリイミド樹脂膜74は実施例1と同等の方法によつて形成した。このようなリンガラスがなく、先述したような絶縁膜71'のピンホー

(22)

ルやマスク合せずれ76が存在する場合には、ポリイミド樹脂膜74を形成し、400℃以上の高温熱処理を加えると0.5~40%程度の歩留低下が見られた。しかし、本実施例では、ポリイミド樹脂膜形成による歩留りの低下をきたすことなく、しかもα線照射による誤動作不良が発生しないことが確められた。

リンガラス73の代りに、窒化シリコン膜を用いた場合にも同様の効果が確められる。窒化シリコン膜はスパッタリング法、プラズマCVD (Plasma Enhanced Chemical Vapor Deposition) 法の既知の方法で形成できるが、プラズマCVD法によるのが望ましい。膜厚は0.2~3μmの範囲が望ましい。窒化シリコンの膜厚は、やはり半導体基体をほぼ完全に被覆させるために0.2μm以上必要であり、上限は下記する窒化シリコン膜のプラズマエッチングが容易に可能な範囲として、3μm程度とするのが望ましい。この窒化シリコン膜は例えばC₂F₄によるプラズマエッチングにより開口することができる。第12図

(23)

域を印刷用メッシュスクリーンで覆い、その上から、PIQのプレポリマー溶液(濃度19.5%、粘度約10,000cP)をローラーコートしたのち200℃で60分ベークしさらに350℃で60分ベークし、厚さ50μmのPIQ膜を素子領域上にのみ形成した。本実施例においてもα線照射によるソフトエラーの発生はなかつた。またセラミック封止後のソフトエラー発生率に対する効果は明らかである。

実施例6

ペレット(半導体装置)をパッケージの台座に接着したのち、該ペレットをポリイミド樹脂もしくはPII樹脂の未硬化もしくは半硬化状態のフィルムで覆い、しかるのち350℃、30分でベークした。未硬化のフィルムは次のようにして得た。すなわちポリイミドのプレポリマー溶液(例えば東レ社製のトレニース#3000)もしくはPIQのプレポリマーを平坦な基板(例えばガラス板)上に塗布したのち100℃でベークし溶媒を実質的に揮発させて厚さ30~50μmの未硬

(24)

において、75はボンディングワイヤを示す。

なお、本実施例において、ポリイミド樹脂の代りにPII樹脂を用いること、またこれらの樹脂をポツティング法により形成しても本効果と同様の効果が実現されることは明らかである。

実施例4

本実施例では、第13図に示す開孔部82を有するポリイミド樹脂もしくはPII樹脂フィルム81をシリコン半導体ウエーハ上に圧着した。開孔部82は半導体基体のボンディングパッド領域およびスクライブ領域に対応している。このフィルムは50~500μm厚である。本実施例においてもα線照射によるソフトエラーは生じなかつた。またセラミック封止における本発明の効果も明らかである。なお、この半導体ウエーハはフィルム81を被覆したのちにペレット状にダイシングされる。

実施例5

シリコンウエーハの素子領域(α線照射によつてソフトエラーが生じるところの領域)以外の領

(24)

化のフィルムを形成した。ついで、鋭利なカッターでペレットの寸法に見合った大きさに破断して基板からはくりし、これをメモリー回路を構成するペレットの上にかぶせた。また同様に200℃でベークした場合は、やはり厚さ30~50μmの半硬化状態のフィルムが得られる。未硬化および半硬化のフィルムをペレットの上にかぶせて350℃30分のベークをすると、これらのフィルムはペレットとよく接着し、保護膜としての機能を十分に果す。また、このようにして製造された半導体記憶装置はα線照射によるソフトエラーが全く生じなかつた。

本方法の変形として、ポリイミド樹脂若しくはPII樹脂のフィルム片の代りに同一形状の81片は能動素子領域上にポリイミド樹脂若しくはPII樹脂のプレポリマーで接着、熱硬化させることによつても本効果は失われない。この際81片はその表面を熱酸化法で酸化させておくことが望ましい。さらにポリイミド若しくはPII樹脂のプレポリマーで接着させる前に、熱酸化膜表面

(26)

に例えばAlキレート化合物の熱処理物を形成しておくことで接層が良好になる。

本発明によれば、その具体的効果として以下の通り得られた。

第14図は電源電圧 V_{DD} として5V使用の16KビットMMOBダイナミックRAM(Random Access Memory)回路を構成する半導体基体において、この基体上にPII樹脂膜を被覆した場合としない場合の α 線によるソフトエラー発生数を示すグラフである。

この図において、縦軸は1分間当りのソフトエラー回数を示し、横軸は5MeVのエネルギーをもつた α 線源(アメリカウム)の強度を示している。 α 線源強度の単位はマイクロキュリー(μCi)である。

PII樹脂膜を全く被覆していない半導体基体Bは図のようにかなりのソフトエラー発生がみられる。一方、 α 線源強度は $10^3 \mu Ci$ のみの場合だけであるが、20 μ のPII樹脂膜を被覆した半導体基体Fでは半導体基体Bに比べてソフトエ

(27)

ミックス材によるものに限定されるのではなく、金属材料あるいはガラス等の絶縁材料からなるものも含まれる。

さらに耐熱性樹脂としてラダーポリマ(Ladder Polymer)、例えばフェニールラダーシリコン(Phenyl Ladder Silicon)が用いられる。

図面の簡単な説明

第1図はスタティック型MMOBメモリーセル回路図、第2図は第1図のセル回路の一部を構成した半導体基体平面図、第3図は16Kビットダイナミック型MMOBメモリー回路の一部回路図、第4図は第3図のメモリー回路における電圧レベル変化特性図、第5図は第3図のセンスアンプ部分を構成した半導体基体平面図、第6図はバイポーラメモリーセル回路図、第7図は第6図のセル回路における電圧(電位)レベル変化特性図、第8図は各種高分子樹脂の熱重量減少曲線を示すグラフ、第9図は本発明の一実施例における高分子樹脂膜を形成した半導体基体の断面図、第10図は前記半導体基体をセラミック封止した半導体記

(28)

ラーの回数が約 $1/10^4$ にへつた。さらに50 μ のPII樹脂膜を被覆した半導体基体Gでは半導体基体Bに比べて約 $1/10^6$ 以下にへつた。

ところで、 α 線の最大エネルギーは8.8MeVであり、シリコン半導体基体内でホール・エレクトロンペアを作るエネルギーは8.7eVである。したがって1個の α 線で作られる電子の数は約 2.4×10^6 個である。それゆえ、MMOB、バイポーラまたはダイナミック型、スタティック型に問わず、これ以下の電荷によつてメモリー回路の情報'1'または'0'を形成する半導体記憶装置は必ず影響を受けることになる。

したがって、このような半導体記憶装置に本発明を適用することは極めて有効である。

本発明はCCD(Charge-Coupled-Device)のようなメモリー回路を構成する半導体記憶装置においても適用できる。CCDの場合は拡散領域を設けず、半導体基体表面自身の一部がメモリー回路の一部を構成する領域となつている。

なお、本発明に適用される封止体は、上記セラ

(29)

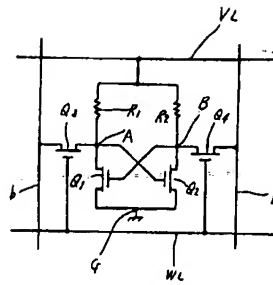
記憶装置の断面図、第11図は本発明の一実施例において樹脂膜を半導体基体上にボツティング法により形成した半導体基体の断面図、第12図は本発明の一実施例において半導体基体上にリングガラスもしくは塩化シリコン膜および樹脂膜を形成した半導体基体の断面図、第13図は本発明の一実施例において半導体基体上に樹脂フィルムを圧着した状態の半導体基体平面図、第14図は半導体基体上にPII樹脂膜を被覆した場合としない場合の α 線によるソフトエラー発生数を示すグラフである。

1, 21, 61, 71…メモリー回路を構成する半導体基体、11, 23, 63…PII樹脂、12, 74…ポリイミド樹脂膜、20…拡散領域、27…セラミック、73…リングガラス膜、76…マスク合せずれ部、81…樹脂フィルム、82…開孔部。

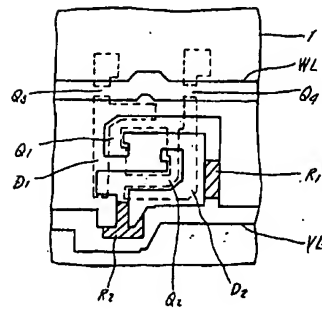
代理人 弁理士 藤 田 利 幸

(30)

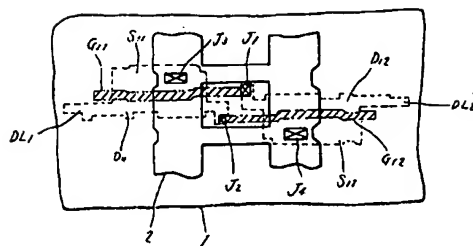
第 1 図



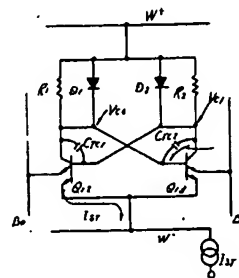
第 2 図



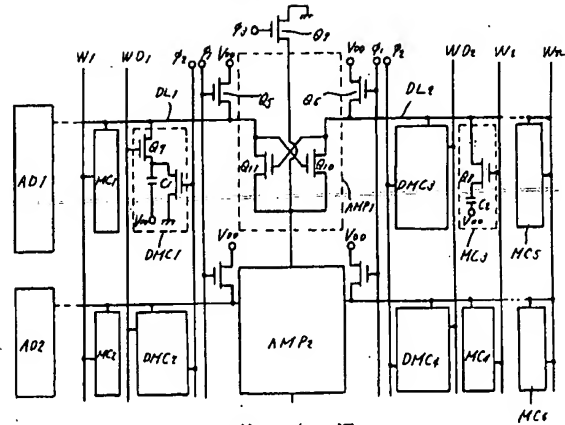
第 5 図



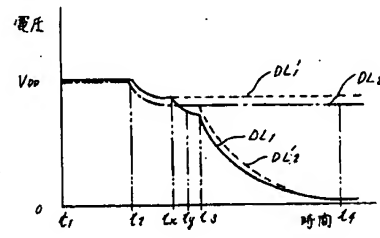
第 6 図



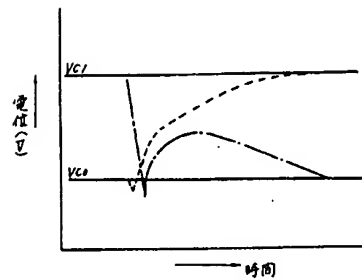
第 3 図



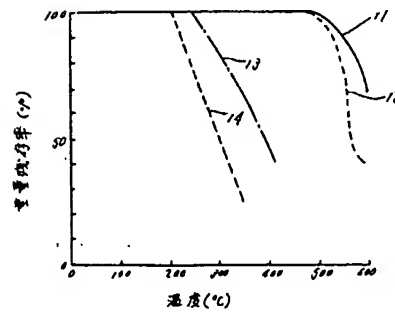
第 4 図



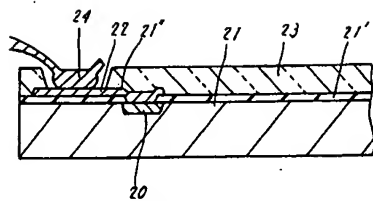
第 7 図



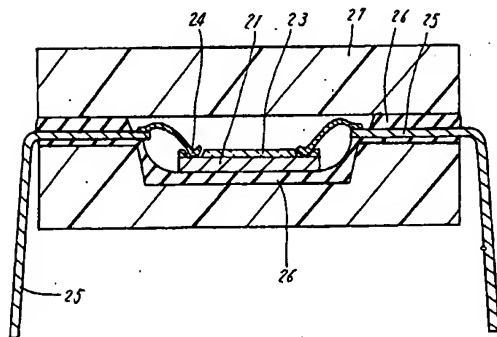
第 8 図



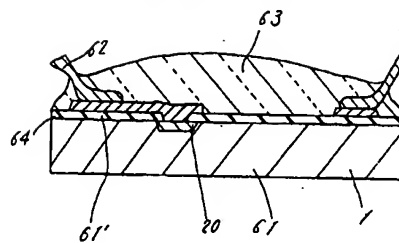
第 9 図



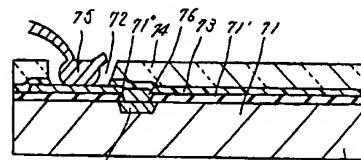
第 1 0 図



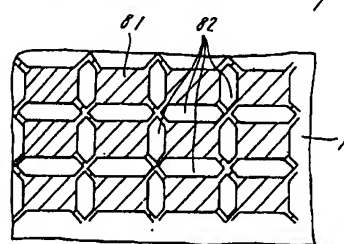
第 1 1 図



第 1 2 図



第 1 3 図



第 1 4 図

